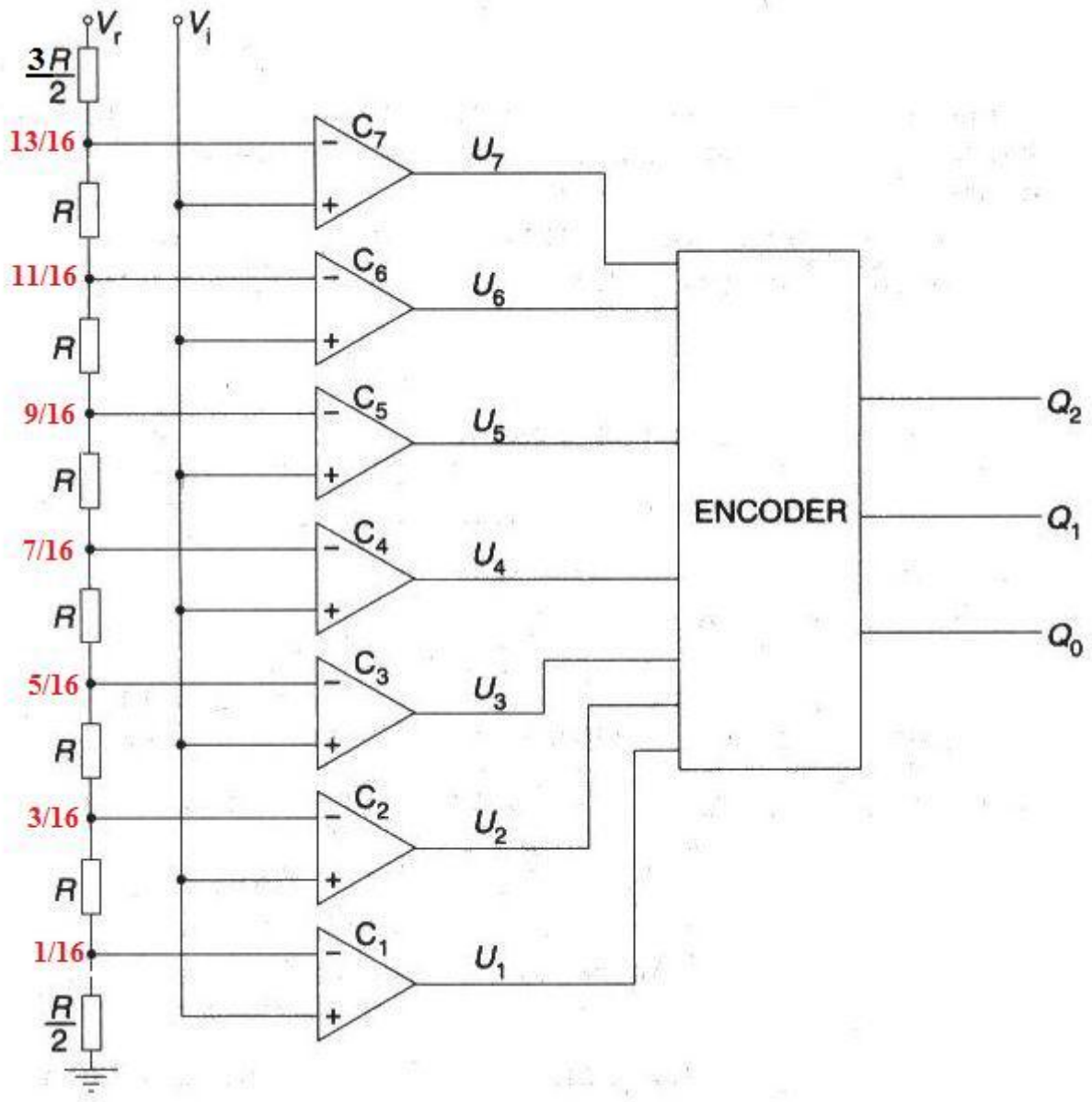
L'ADC flash è il convertitore analogico-digitale più veloce in assoluto, capace di tempi di conversione dell'ordine del nanosecondo. La figura seguente mostra la struttura circuitale di un ADC flash a 3 bit:



Il circuito è composto da 9 resistenze, 7 comparatori e un encoder con 7 ingressi e 3 uscite.

Vr è la tensione di riferimento e Vi è la tensione analogica da convertire. La tensione Vi è collegata sull'ingresso non invertente di tutti i comparatori. L'ingresso invertente di ogni comparatore è collegato invece a un diverso nodo della rete resistiva.

La rete resistiva realizza un partitore di tensione che suddivide la tensione di riferimento Vr nel modo indicato in figura. I numeri scritti in rosso si riferiscono alla frazione di Vr presente su ogni nodo. Per esempio sull'ultimo nodo in basso la tensione vale:

$$V_1 = \frac{\frac{R}{2}}{\frac{R}{2}+R+R+R+R+R+R+\frac{3R}{2}} Vr = \frac{\frac{R}{2}}{8R} Vr = \frac{1}{16} Vr$$

In modo analogo la tensione V2 sul secondo nodo è data da

$$V_2 = \frac{\frac{R}{2}+R}{\frac{R}{2}+R+R+R+R+R+R+\frac{3R}{2}} Vr = \frac{\frac{3R}{2}}{8R} Vr = \frac{3}{16} Vr$$

e così via per i nodi successivi.

L'uscita di ogni comparatore commuta a livello alto se la tensione analogica Vi supera la tensione di soglia presente sull'ingresso invertente. Per esempio U1 va a livello alto se Vi > 1/16 Vr. Analogamente U2 va a livello alto se Vi > 3/16 Vr e così via. Ma questi valori di tensione rappresentano i confini superiori di ciascun intervallo di quantizzazione (usando una quantizzazione silenziata). Infatti il primo intervallo si estende da 0 fino a Q/2, cioè, usando 3 bit, da 0 fino a $Vr/2^{3+1}$ (da 0 a Vr/16). Analogamente il secondo intervallo di quantizzazione inizia da Vr/16 e arriva fino a Vr/16 + Q = Vr/16 + Vr/8 = 3/16 Vr e così via per gli intervalli successivi.

In sostanza:

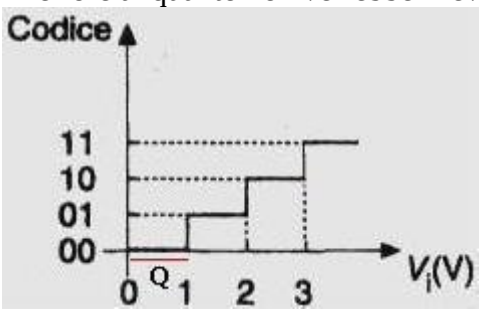
- se Vi < 1/16 Vr (tensione che cade nel primo intervallo di quantizzazione), tutte le uscite dei comparatori (U1, U2, ..., U7) sono a livello basso.
- se 1/16 Vr < Vi < 3/16 Vr, solo U1 va a livello alto, mentre U2...U7 rimangono a livello basso.
- se 1/16 Vr < Vi < 5/16 Vr, commutano a livelo alto U1 e U2 (tutti gli altri comparatori rimangono a livello basso).
- così via per tensioni Vi crescenti, finché, con Vi > 13/16 Vr, le uscite di tutti i comparatori sono a livello alto.

Le uscita dei comparatori sono collegate a un **encoder a priorità** (priority encoder), il cui scopo è quello di trasformare la sequenza di bit prodotta dai comparatori in un numero binario vero a 3 bit. La codifica prodotta dall'encoder è mostrata nella tabella seguente:

U7	U6	U5	U4	U3	U2	U1	Numero binario in uscita
0	0	0	0	0	0	0	0 0 0
0	0	0	0	0	0	1	0 0 1
0	0	0	0	0	1	1	0 1 0
0	0	0	0	1	1	1	0 1 1
0	0	0	1	1	1	1	1 0 0
0	0	1	1	1	1	1	1 0 1

0	1	1	1	1	1	1	1 1 0
1	1	1	1	1	1	1	1 1 1

Un'ADC accetta in ingresso una grandezza analogica, per esempio una tensione, e restituisce in uscita un numero espresso in forma binaria. Una grandezza analogica varia con continuità all'interno di un range, quindi, nel suo range di variazione, assume infiniti valori, mentre la grandezza numerica in uscita può assumere un numero finito di valori pari a 2^n con n numero di bit.
La conseguenza è che gli infiniti valori del segnale analogico devono essere frazionati in un numero finito di livelli fissi, graficamente rappresentabili come gradini.
Di conseguenza, i valori intermedi della grandezza analogica compresi tra il livello di un gradino ed il successivo saranno unificati in solo valore, quello del corrispondente gradino, con una perdita di definizione.
Se, ad esempio, abbiamo un ADC ad otto bit che accetta in ingresso tensioni comprese fra 0 e 4 volt, poiché con 2 bit sono rappresentabili soltanto $2^2=4$ combinazioni diverse, si possono rappresentare soltanto 4 valori diversi della tensione d'ingresso, valori che differiscono fra loro di un quanto Q pari a 4 volt/4= 1 volt. Ciò significa che una variazione della tensione d'ingresso inferiore al quanto non verrebbe rilevata in uscita.

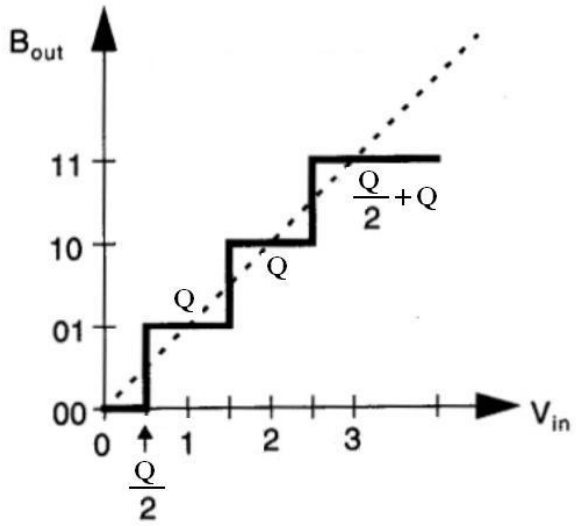


E' evidente dal grafico soprastante, che se la tensione di ingresso è compresa tra 0 V e 0,9 V, il risultato digitale della conversione sarà sempre 0.
Così se i valori di tensione saranno compresi tra 1,0 e 1,9 V, la conversione renderà in ogni caso il valore 1 (01 in binario).
Quindi, quando un segnale analogico, come una tensione, che assume infiniti valori, viene convertito in un segnale digitale discreto, che dispone solo di valori finiti, si avrà un errore dovuto al fatto che ai valori di tensione intermedi tra i gradini verrà assegnato lo stesso risultato digitale. per cui i valori di tensione intermedi non potranno essere rilevati.

Il quantum rappresenta l'errore di che nel nostro esempio sarà:

$$\text{errore massimo della conversione} = Q = \frac{Vfs}{2^n}$$

Poiché il codice di uscita di un ADC corrisponde a un intervallo di valori dell'ingresso, si comprende che un ADC non è in grado di generare un codice corrispondente a ciascuno degli infiniti valori che costituiscono un segnale analogico. Ciò significa che un ADC introduce un errore nella codifica del segnale d'ingresso. Tale errore viene chiamato *errore di quantizzazione.* Negli ADC commerciali la soglia di commutazione da un codice a quello successivo viene fissata a metà del valore del quanto. Pertanto, l'errore di quantizzazione equivale a ± *Q/2.*



- **Errore di quantizzazione**

L'errore di quantizzazione è intrinseco del processo di conversione, e non può essere corretto: esso risiede nel carattere del segnale numerico, che è discretizzato rispetto al segnale tempo continuo posto in ingresso al convertitore A/D (o A/N).
Questo errore corrisponde a +/- LSB, assumento come valore di commutazione il passaggio per il centro della soglia (la variazione dell'uscita non avviene in corrispondenza dei gradini)

Se il valore esatto di V_i rappresentato dalla parola di codice è al centro dell'intervallo di quantizzazione l'errore massimo che si può commettere viene dimezzato:

$$e_M = \frac{R}{2}$$

In effetti se nell'esempio di figura 3 si sceglie il passo di quantizzazione in modo che la parola 010 rappresenti l'intervallo di valori 1.5 V÷ 2.5 V, simmetrico intorno al valore esatto 2 V, l'errore massimo vale 0.5 V (la figura 6 mostra l'andamento dell'errore).

Supponiamo di avere un VFS = 4 V e lo vogliamo convertire in due bit; allora abbiamo 2n valori digitali: 0,1,2,3.
Quindi ai valori analogici possiamo associare questi 4 valori digitali.

Come si può notare dalla figura si vuole fare in modo che le transizioni dei bit avvengano a metà dell'intervallo di quantizzazione. Abbiamo visto che, allo scopo di minimizzare l'errore introdotto dalla quantizzazione si cerca di fare in modo che la transizione da una combinazione di bit ad un'altra avvenga a metà di un intervallo di quantizzazione.

Nel grafico sopra, in ascissa sono riportati i valori di tensione in ingresso, in ordinata i valori digitali di uscita espressi in codice binario. La conversione da ogni valore analogico al valore digitale avviene con $Q = \frac{VFS}{2^n} = \frac{4V}{2^n} = \frac{4V}{4} = 1V$. Il Quantum è il valore minimo della

conversione; nel nostro caso, vuol dire che il passaggio da un valore analogico a quello digitale.
Il Q rappresenta però l'errore massimo nella conversione, e questo è un errore grande. Allora, facciamo scattare l'1 digitale (in binario 01) non a Q = 1V, ma a $\frac{Q}{2}$. Il passaggio dal valore digitale 1 (in binario 01) al valore digitale 2 (in binario 10) ce l'avremo a $\frac{Q}{2}+Q$ e così via; l'ultima transizione, quella dal valore digitale 2 (10 in binario) al valore 3 (11 in binario) avverrà a $\frac{Q}{2}+Q$

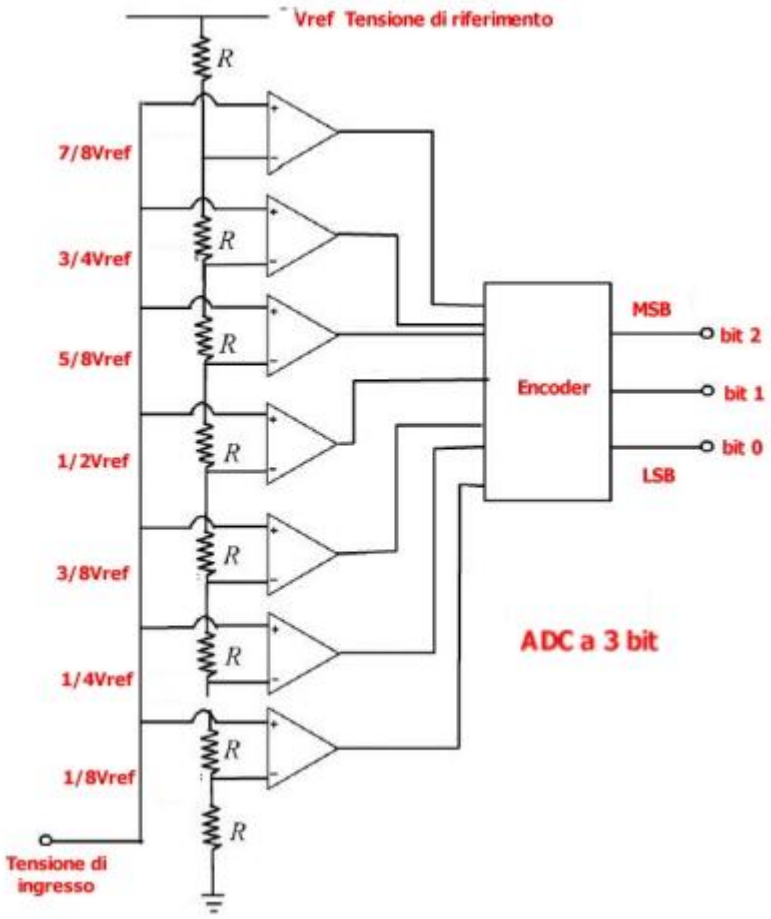
come si può verificare dal grafico e dai calcoli effettuati dal foglio elettronico si vede che l'errore massimo che si commette diventa la metà del quanto. Questa è la scelta ottimale, nel senso che permette di minimizzare l'errore di quantizzazione, poiché con n bit si possono comporre al massimo 2^n combinazioni diverse, il numero in uscita può essere al massimo 2^n-1 corrispondente ad una tensione quantizzata $V = Q \cdot (2^n - 1)$. La tensione $V_{FS} = Q \cdot 2^n$ viene detta tensione di fondo scala. Nella migliore delle ipotesi l'errore di quantizzazione è pari a $Q/2=(V_{FS}/2^{n)}/2=V_{FS}/2^{n+1}$.

IL convertitore parallelo o flash

La struttura di un convertitore parallelo è la seguente

come si può vedere dalla figura abbiamo una batteria di comparatori di tensione. La tensione da convertire viene mandata in parallelo a tutti i comparatori. Ogni comparatore la confronterà con una tensione di riferimento ottenuta da un partitore resistivo. Come si può notare dalla figura si vuole fare in modo che le transizioni dei bit avvengano a metà dell'intervallo di quantizzazione.
La rete di decodifica trasforma le uscite dei comparatori in codice binario. E' evidente che un sistema di questo tipo è il più veloce immaginabile. Il difetto è dato dal fatto che all'aumentare dei bit del ADC la complessità del circuito aumenta in maniera proibitiva. Se , ad esempio, vogliamo realizzare un DAC ad 8 bit, le combinazioni possibili, cioè il numero dei livelli di discretizzazione è pari a 2^8=256, per cui occorrerebbero 256 comparatori diversi.

Prendiamo l' esempio precedente di una conversione codificata su 3 bit per una tensione da 0 a 8V.



- Sette comparatori ricevono all' ingresso non invertente la tensione analogica da valutare, mentre gli ingressi invertenti sono alimentati da un array di resistenze che suddividono una tensione di riferimento in ottavi.

Se la tensione di ingresso è minore della soglia del primo comparatore, la sua uscita (e quella di tutti gli altri) sarà a 0. Mentre la tensione di ingresso sale, i comparatori commutano uno dopo l' altro, portando le uscita a livello 1.

L' encoder codifica le sette uscite dei comparatori in tre linee binarie. LSB (*last significant bit*) sarà il bit meno significativo (bit 0) e MSB (*most significant bit*) sarà il bit più significativo (bit 2).

Se la tensione di riferimento è 8V, ogni comparatore commuterà ad 1 V di differenza dal precedente.

Possiamo riportare in un grafico l'ampiezza massima del segnale d'ingresso sulle ascisse e il valore binario del risultato della conversione sulle ordinate.

Ad esempio, se il segnale varia tra 0.5 e 0.75V, l' encoder codificherà 000 in ogni caso, dato che il primo comparatore commuta a 1V.

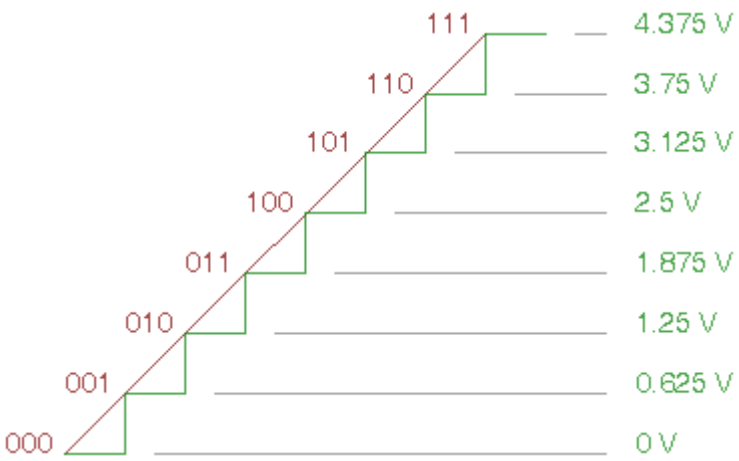
Questo processo di raggruppamento si chiama ***quantizzazione*** ed i i livelli che definiscono ciascun gradino sono i ***livelli di quantizzazione***.
La distanza tra due livelli, ovvero l' altezza del gradino è chiamata ***passo di quantizzazione Q*** , o *quanto* (ricordiamo che *quanto* è una parola derivata dal latino *quantum*, quantità, ed indica una quantità finita ed indivisibile; nella fisica è sinonimo di particella).

Un dato digitale, composto da **N bit**, può assumere $\mathbf{2^N}$ valori diversi. Ad esempio, disponendo di 3 bit si potranno codificare numeri pari a $\mathbf{2^3 = 8}$.
Quindi, digitalizzando una tensione di ingresso di 8 V, il ***passo di quantizzazione*** sarà dato da:

$$Q = tensione / 2^N = 8 / 8 = 1\ V$$

Digitalizzando nelle stesse condizioni una tensione di ingresso di 5V:

$$Q = tensione / 2^N = 5 / 8 = 0.625\ V$$



Ovvero la differenza tra un gradino ed il successivo sarà 0.625 V.

E' evidente che, ad esempio, se la tensione di ingresso è di 0, 1 o 0, 2 o 0,3 V, il risultato digitale della conversione sarà sempre 0 , corrispondente al 000.
Così se i valori saranno 0,7 o 1 o 1,2 V, la conversione renderà in ogni caso il valore di 001 (corrispondente al gradino A1).

Quindi, quando un segnale che ha la possibilità di assumere infiniti valori viene convertito in un dato che dispone solo di valori finiti, si avrà un errore dovuto al fatto che ai valori intermedi tra i gradini verrà assegnato lo stesso risultato digitale.

In una tabella:

Tensione di ingresso [V]	Codifica binaria
0-0.625	000
0.625-1.25	001
1.251-1.875	010
1.875-2.5	011
2.5-3.125	100
3.125-3.75	101
3.75-4.375	110
4.375-5.00	111

In un convertitore analogico digitale, quindi, i valori d'uscita non riproducono fedelmente il segnale d'ingresso, ma ne danno una rappresentazione approssimativa, tanto più precisa quanto minore è il ***passo di quantizzazione Q***, cioè quanto più numerosi sono i livelli di quantizzazione.

Questo errore si chiama di ***errore di quantizzazione*** ed il suo massimo valore è pari a ½ Q .
In valore assoluto sarà:

$$V_Q = Vfs / 2^n$$

Quindi, con l' esempio precedente della conversione a 7 bit:

$$Vq = 5 / 2^3 = 0.625\ V$$

E questo è il valore dell' altezza di un gradino tra un risultato e il successivo. Ovvero, tutti i valori intermedi assunti dalla tensione di ingresso saranno cumulati nello steso gradino.

Con un altro esempio, per un fondo scala di 10V, al variare della risoluzione avremo:

Risoluzione	**4**	**6**	**8**	**10**	**12**	**16**
Errore	625 mV	156 mV	39 mV	9,8 mV	2.4 mV	153 uV

Poichè l' errore è legato al numero dei bit del risultato, quanto maggiore è questo numero, tanto minore sarà l' errore assoluto della conversione, dato che diminuisce l' altezza dei gradini e quindi la differenza di livello tra uno e l' altro. Con infiniti gradini l' errore sarebbe annullato, dato che la scala diverrebbe la retta.

L'operazione di conversione *A/D* associa ad un intervallo di valori della tensione in ingresso un unico codice binario. Per eseguire l'operazione inversa, a ciascun codice si associa un valore di tensione che è il valore centrale di ciascun intervallo, chiamato **valore nominale** del codice. L'operazione di quantizzazione fa quindi perdere di informazione: solo nel caso in cui la tensione Vi è esattamente uguale ad uno dei valori nominali associati ai codici, l'operazione può considerarsi trasparente, mentre in tutti gli altri casi si avrà un errore. L'ampiezza massima dell'errore commesso è pari a metà dell'intervallo di tensione , cioè

E = ½ * (Vmax/2^n) = Vmax/2^(n+1)

L'effetto di tale errore può essere considerato come un rumore aggiunto alla tensione di ingresso. Supponendo che la tensione Vi possa assumere con la stessa probabilità tutti i valori compresi fra 0 e Vmax, gli errori commessi dalla quantizzazione saranno uniformemente distribuiti fra + E e – E: l'effetto sarà quindi quello di un rumore casuale sommato a Vi e di ampiezza statisticamente distribuita in maniera uniforme nell'intervallo ± E.

Complessivamente l'operazione di quantizzazione degrada il segnale di ingresso, peggiorando il rapporto segnale/rumore (S/N).